

CLIPPED IMAGE JP411354330A

PAT-NO: JP411354330A

DOCUMENT-IDENTIFIER: JP 11354330 A

TITLE: LAMINATED CHIP PARTS AND ITS USAGE

PUBN-DATE: December 24, 1999

INVENTOR-INFORMATION:

NAME	COUNTRY
GO, YOSHIOMI	N/A
HAYASHI, YOSHIMASA	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MITSUBISHI MATERIALS CORP	N/A

APPL-NO: JP10173825

APPL-DATE: June 8, 1998

INT-CL (IPC): H01F021/08

ABSTRACT:

**PROBLEM TO BE SOLVED:** To make the inductance of an inductor formed in laminated chip parts adjustable from the outside.

**SOLUTION:** An inductor composed of first conductor patterns 11 and 13 spirally formed in the laminating direction A is formed in a laminated body 100 made of materials containing a magnetic material and, at the same time, second conductor patterns 15 and 17 which pass through the spirals of the inductor are formed so that the inductance of the inductor may be adjusted freely by changing electric currents supplied to the second patterns 15 and 17 from the outside.

COPYRIGHT: (C)1999,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-354330

(43)公開日 平成11年(1999)12月24日

(51)Int.Cl.<sup>4</sup>  
H01F 21/08

識別記号

F I  
H01F 21/08

審査請求 未請求 請求項の数5 FD (全 7 頁)

(21)出願番号 特願平10-173825

(22)出願日 平成10年(1998)6月8日

(71)出願人 000006264

三菱マテリアル株式会社  
東京都千代田区大手町1丁目5番1号

(72)発明者 郷 良臣

埼玉県秩父郡横瀬町大字横瀬2270番地 三  
菱マテリアル株式会社電子技術研究所内

(72)発明者 林 芳昌

埼玉県秩父郡横瀬町大字横瀬2270番地 三  
菱マテリアル株式会社電子技術研究所内

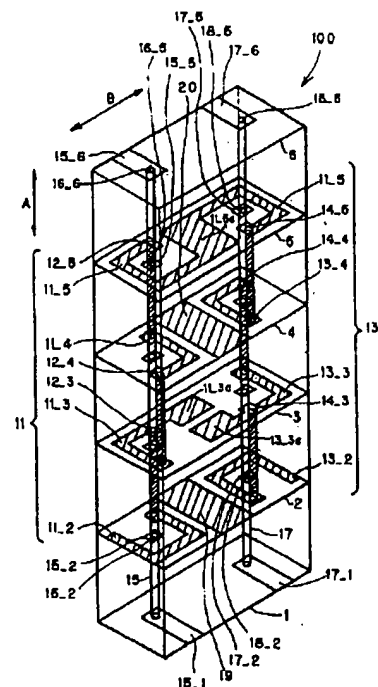
(74)代理人 弁理士 小杉 佳男 (外1名)

(54)【発明の名称】 積層チップ部品およびその使用方法

(57)【要約】

【課題】 内部に形成されたインダクタのインダクタンスを外部から調整することのできる積層チップ部品およびその使用方法を提供することを目的とする。

【解決手段】 磁性体材料を含む材料からなる積層体100内部に、積層方向Aに螺旋を描く第1の導体パターン11、13よりなるインダクタを形成するとともに、そのインダクタの螺旋の内部を通る第2の導体パターン15、17を形成する。この第2の導体パターン15、17に外部から電流を供給し、その電流を変化させることによりインダクタのインダクタンスを自在に調整できるようにした積層チップ部品。



## 【特許請求の範囲】

【請求項1】 磁性体材料を含む材料からなる複数の層が積層されるとともに、これら複数の層に跨って積層方向に螺旋を描く第1の導体パターンが形成されてなる積層チップ部品において、

前記複数の層に跨って前記第1の導体パターンの螺旋の内部を通る第2の導体パターンが形成されてなることを特徴とする積層チップ部品。

【請求項2】 前記複数の層が磁性体材料と誘電体材料との混合材料からなり、これら複数の層のうちの1層ないし複数の層を挟んで積層方向に対向する一対の導体膜からなる第3の導体パターンを有することを特徴とする請求項1記載の積層チップ部品。

【請求項3】 前記磁性体材料が、Fe、Ni、Zn、Cu、Mg、Coのうちの少なくとも1種を含むものであることを特徴とする請求項1又は2記載の積層チップ部品。

【請求項4】 前記誘電体材料が、チタン酸鉛又はチタン酸バリウムを主成分とするものであることを特徴とする請求項2記載の積層チップ部品。

【請求項5】 磁性体材料を含む材料からなる複数の層が積層されるとともに、これら複数の層に跨って積層方向に螺旋を描く第1の導体パターンと前記複数の層に跨って前記第1の導体パターンの螺旋の内部を通る第2の導体パターンとが形成されてなる積層チップ部品を用意し、前記第2の導体パターンに、前記第1の導体パターンによるインダクタのインダクタンスが所望のインダクタンスとなるように制御された直流電流を供給することを特徴とする積層チップ部品の使用方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、積層体技術により形成される積層チップ部品およびその使用方法に関するものである。

## 【0002】

【従来の技術】従来、インダクタ、あるいはインダクタとキャパシタを組み合わせたフィルタなどの受動回路が内部に形成された、磁性材料を含む材料からなる積層チップ部品を製造する方法として、ドクターブレード法によりグリーンシートを形成し、そのグリーンシート上にU字状の導体パターンを印刷し、積層方向に互いに隣接し合う導体パターンをスルーホールを介して電気的に接続することにより、積層体の複数の層に跨って積層方向に螺旋を描くコイル状のインダクタを形成し、こうして形成された積層体を熱圧着することにより一体化し、さらにこれを焼成するという、積層チップ部品の製造方法が提案されている。

## 【0003】

【発明が解決しようとする課題】しかし、上記のようにして製造された積層チップ部品では、積層体内部に形成

されたインダクタのインダクタンスは固有の値を持っているので、周波数特性が固定された積層チップ部品しか製造することができない。従って、周波数特性の適合していないフィルタが機器に実装され十分な周波数特性が得られなかったり、あるいは周波数特性の適合していないフィルタが機器に実装されることにより必要な周波数領域の信号まで除去されてしまい、積層チップ部品を実装しなおす必要が生じたりすることがある。さらに、インピーダンスの不整合のために信号波形が歪むなどの問題が発生することもある。本発明は、上記の事情に鑑み、内部に形成されたインダクタのインダクタンスを外部から調整することのできる積層チップ部品およびその使用方法を提供することを目的とする。

## 【0004】

【課題を解決するための手段】上記の目的を達成する本発明の積層チップ部品は、磁性体材料を含む材料からなる複数の層が積層されるとともに、これら複数の層に跨って積層方向に螺旋を描く第1の導体パターンが形成されてなる積層チップ部品において、上記複数の層に跨って上記第1の導体パターンの螺旋の内部を通る第2の導体パターンが形成されてなることを特徴とする。ここで、上記複数の層が磁性体材料と誘電体材料との混合材料からなり、これら複数の層のうちの1層ないし複数の層を挟んで積層方向に対向する一対の導体膜からなる第3の導体パターンを有するものであってもよい。

【0005】また、上記磁性体材料が、Fe、Ni、Zn、Cu、Mg、Coのうちの少なくとも1種を含むものであることが好ましく、また、上記誘電体材料が、チタン酸鉛又はチタン酸バリウムを主成分とするものであることも好ましい態様である。また、上記の目的を達成する本発明の積層チップ部品の使用法は、磁性体材料を含む材料からなる複数の層が積層されるとともに、これら複数の層に跨って積層方向に螺旋を描く第1の導体パターンと上記複数の層に跨って上記第1の導体パターンの螺旋の内部を通る第2の導体パターンとが形成されてなる積層チップ部品を用意し、上記第2の導体パターンに、上記第1の導体パターンによるインダクタのインダクタンスが所望のインダクタンスとなるように制御された直流電流を供給することを特徴とする。

## 【0006】

【発明の実施の形態】以下、本発明の積層チップ部品の実施形態について説明する。図1は、本発明の積層チップ部品の一実施形態における積層体の内部構造を示す斜視図である。図1に示すように、この実施形態の積層チップ部品を構成する積層体100は、磁性体材料と誘電体材料との混合材料からなる6つの層1、2、3、4、5、6が積層されてなるとともに、これら6つの層のうちの層2、3、4、5に跨って積層方向Aに螺旋を描く2組の導体パターン11、13が形成されている。これらの導体パターン11、13は、いずれも本発明にいう

3

第1の導体パターンに相当する。図1の紙面に向かって左側に示されている第1の導体パターン11は、層2、3、4、5上にそれぞれ形成された導体膜11\_2、11\_3、11\_4、11\_5、およびこれらの各導体膜を電氣的に接続する、層3、4、5に形成されたスルーホール12\_3、12\_4、12\_5内の導体により、層5から層2に向かって時計廻りの螺旋を描くように形成されている。

【0007】同様に、図1の紙面に向かって右側に示されている第1の導体パターン13は、層2、3、4、5上にそれぞれ形成された導体膜13\_2、13\_3、13\_4、11\_5、およびこれらの各導体膜を電氣的に接続する、層3、4、5に形成されたスルーホール14\_3、14\_4、14\_5内の導体により、層5から層2に向かって、やはり時計廻りの螺旋を描くように形成されている。このように、本実施形態の積層体100には、上記の2つの第1の導体パターン11、13よりなるインダクタが形成されており、かつこれら2つのインダクタは、層5上の共通の導体膜11\_5により電氣的に直列に接続されている。また、6つの層1、2、3、4、5、6に跨って、上記の第1の導体パターン11、13の螺旋の内部を通る第2の導体パターン15、17が形成されている。すなわち、図1の紙面に向かって左側に示されている第2の導体パターン15は、層1、2、...、6上にそれぞれ形成された導体膜15\_1、15\_2、...、15\_6、およびこれらの各導体膜を電氣的に接続する、層2、3、4、5、6に形成されたスルーホール16\_2、16\_3、...、16\_6内の導体により柱を形成している。

【0008】同様に、図1の紙面に向かって右側に示されている第2の導体パターン17は、層1、2、3、4、5、6上にそれぞれ形成された導体膜17\_1、17\_2、...、17\_6、およびこれらの各導体膜を電氣的に接続する、層2、3、4、5、6に形成されたスルーホール18\_2、18\_3、...、18\_6内の導体により柱を形成している。本実施形態では、上記の2つの柱状の第2の導体パターン15、17は、それぞれ、上記の2つの第1の導体パターン11、13よりなるインダクタの螺旋の中心部を積層方向に貫通するコアとしての機能を有している。さらに、この実施形態の積層チップ部品の積層体100には、層2、3、4、5のうちの1層ないし複数層を挟んで積層方向Aに対向する一対の導体膜からなる3つの第3の導体パターンが形成されている。すなわち、本実施形態において具体的には、層3を挟んで積層方向Aに対向する一対の導体膜19、導体膜13\_3の一部分13\_1aからなる1つ目の第3の導体パターン、一対の導体膜19、導体膜13\_3の一部分13\_1aからなる2つ目の第3の導体パターン、および層5を挟んで積層方向Aに対向する一対の導体膜20、導体膜11\_5の中央部分11\_5aか

4

らなる3つ目の第3の導体パターンの、合計3組の第3の導体パターンである。

【0009】本実施形態では、上記の3組の第3の導体パターンがそれぞれキャパシタを構成しており、これらの3つのキャパシタ、2つのインダクタ、および2つのコアにより、以下に説明するようなフィルタが形成されている。図2は、図1に示した積層体で構成したフィルタの外観図である。図2に示すように、このフィルタ200には、積層体100の積層方向Aに交わる長辺方向Bの両端面201、202に端子電極203、204が形成されており、また、積層方向Aに交わる短辺方向Cの両側面205、206にアース電極207、208、および電源供給電極209、210、211、212が形成されている。端子電極203は、積層体100の第1の導体パターン11の導体膜11\_2（図1参照）に接続されており、同様に、端子電極204は、積層体100の第1の導体パターン13の導体膜13\_2（図1参照）に接続されている。アース電極207、208は、いずれも、積層体100の第3の導体パターンの導体膜19、20（図1参照）の双方に接続されている。

【0010】電源供給電極209は、積層体100の第2の導体パターン15の導体膜15\_6（図1参照）に接続されており、電源供給電極210は、積層体100の第2の導体パターン15の導体膜15\_1（図1参照）に接続されており、電源供給電極211は、積層体100の第2の導体パターン17の導体膜17\_6（図1参照）に接続されており、電源供給電極212は、積層体100の第2の導体パターン17の導体膜17\_1（図1参照）に接続されている。図3は、図1、図2に示したフィルタの等価回路図である。図3に示すように、このフィルタ300は、2つのインダクタ301、302および3つのキャパシタ303、304、305からなるフィルタ回路306と、インダクタ301、302のコア307、308と、端子電極309、310と、アース電極311、312と、電源供給電極313、314とから構成されている。

【0011】インダクタ301、302は、それぞれ図1に示す第1の導体パターン11、13に相当し、キャパシタ303、304、305は、それぞれ図1に示す一対の導体膜19、導体膜11\_3の一部分11\_3a、一対の導体膜19、導体膜13\_3の一部分13\_3a、および一対の導体膜20、導体膜11\_5の中央部分11\_5aからなる3つの第3の導体パターンに相当し、コア307、308は、それぞれ図1に示す第2の導体パターン15、17に相当するものである。このように構成されたフィルタ300の電源供給電極313、314を介して、外部電源（図示せず）から第2の導体パターン15、17（図1参照）に、第1の導体パターン11、13によるインダクタ301、302のインダクタンスが所望のインダクタンスとなるように制御

された直流電流を供給することにより、このフィルタ300の共振周波数やカットオフ周波数を所望の周波数に調整することができる。

【0012】また、このようにインダクタ301、302のインダクタンスを外部から自在に制御することができるので、このフィルタ300を回路中に実装したときに生じるインピーダンスの不整合の発生を防止することができる。次に、本実施形態の積層チップ部品に用いる積層体の製造方法およびその積層体を用いてフィルタを製造する方法について説明する。先ず、例えば、Ni-Zn-Cuフェライトを主成分とする磁性体原料を混合し、仮焼し、適切な粒径となるように粉碎して磁性体仮焼粉を作製する。これとは別に、例えば、PbTiO<sub>3</sub>を主成分とする誘電体原料を混合し、仮焼し、適切な粒径となるように粉碎して誘電体仮焼粉を作製する。こうして得られた磁性体仮焼粉および誘電体仮焼粉を適切な割合で混合し、分散剤、バインダー、可塑剤、溶剤などを添加してスラリーを作製し、ドクターブレード法によりグリーンシートを成形する。

【0013】同様に、上記の磁性体仮焼粉および誘電体仮焼粉を適切な割合で混合し、分散剤、バインダー、可塑剤、溶剤などを添加して磁性体誘電体混合ペーストを作製する。次に、この磁性体誘電体混合ペーストとAg又はAg/Pdよりなる導体ペーストを用意する。なお、上記例で示した磁性体フェライト粉の組成は、一例であって、Fe、Ni、Zn、Cu、Mg、Coなどを1種又は2種以上含むものであってもよい。また、誘電体粉の組成も鉛系のものに限らず、チタン酸バリウム系のものでもよい。図4～図16は、図1に示す積層体の製造工程を示す平面図である。以下、図4～図16を参照しながら、図1に示す積層体100の製造工程について説明する。先ず、図4に示すように、上記の磁性体誘電体混合グリーンシートからなるベース基板31を形成する。次に、図5に示すように、ベース基板31上に、上記の導電ペーストを用いたスクリーン印刷法により第1層目の導体膜15\_1、17\_1（図1参照）を形成して層1を形成する。

【0014】さらにその上に、図6に示すように、スルーホール16\_2、18\_2（図1参照）が形成されるように磁性体誘電体混合ペーストを用いてスクリーン印刷を行い磁性体誘電体混合層32を形成する。さらにその上に、図7に示すように、第2層目の導体膜11\_2、13\_2、15\_2、17\_2、19を形成して層2を形成する。このとき、スルーホール16\_2、18\_2にも導電ペーストが充填され、第1層の導体膜15\_1と第2層の導体膜15\_2、および第1層の導体膜17\_1と第2層の導体膜17\_2とがそれぞれ電気的に接続される。さらにその上に、図8に示すように、スルーホール12\_3、14\_3、16\_3、18\_3が形成されるように磁性体誘電体混合ペーストを用いてス

クリーン印刷を行い磁性体誘電体混合層33を形成する。

【0015】さらにその上に、図9に示すように、第3層目の導体膜11\_3、13\_3、15\_3、17\_3を形成して層3を形成する。このとき、スルーホール12\_3、14\_3、16\_3、18\_3にも導電ペーストが充填され、第2層の導体膜11\_2と第3層の導体膜11\_3、第2層の導体膜13\_2と第3層の導体膜13\_3、第2層の導体膜15\_2と第3層の導体膜15\_3、および第2層の導体膜17\_2と第3層の導体膜17\_3とがそれぞれ電気的に接続される。さらにその上に、図10に示すように、スルーホール12\_4、14\_4、16\_4、18\_4が形成されるように磁性体誘電体混合ペーストを用いてスクリーン印刷を行い磁性体誘電体混合層34を形成する。さらにその上に、図11に示すように、第4層目の導体膜11\_4、13\_4、15\_4、17\_4、20を形成して層4を形成する。このとき、スルーホール12\_4、14\_4、16\_4、18\_4にも導電ペーストが充填され、第3層の導体膜11\_3と第4層の導体膜11\_4、第3層の導体膜13\_3と第4層の導体膜13\_4、第3層の導体膜15\_3と第4層の導体膜15\_4、および第3層の導体膜17\_3と第4層の導体膜17\_4とがそれぞれ電気的に接続される。

【0016】さらにその上に、図12に示すように、スルーホール12\_5、14\_5、16\_5、18\_5が形成されるように磁性体誘電体混合ペーストを用いてスクリーン印刷を行い磁性体誘電体混合層35を形成する。さらにその上に、図13に示すように、第5層目の導体膜11\_5、15\_5、17\_5を形成して層5を形成する。このとき、スルーホール12\_5、14\_5、16\_5、18\_5にも導電ペーストが充填され、第4層の導体膜11\_4と第5層の導体膜11\_5、第4層の導体膜15\_4と第5層の導体膜15\_5、および第4層の導体膜17\_4と第5層の導体膜17\_5とがそれぞれ電気的に接続される。さらにその上に、図14に示すように、スルーホール16\_6、18\_6が形成されるように磁性体誘電体混合ペーストを用いてスクリーン印刷を行い磁性体誘電体混合層36を形成する。

【0017】さらにその上に、図15に示すように、第6層目の導体膜15\_6、17\_6を形成することにより層6が形成される。このとき、スルーホール16\_6、18\_6にも導電ペーストが充填され、第5層の導体膜11\_5と第6層の導体膜15\_6、17\_6とが電気的に接続される。さらにその上を図16に示すような磁性体誘電体混合層37で覆ってグリーン積層体100が完成する。こうして形成されたグリーン積層体100には、図1に示すように、4つの層に跨って積層方向Aに螺旋を描く2つの第1の導体パターン11、13が形成されるとともに、これら第1の導体パターン1

1, 13の螺旋の内部を通る2本の柱状の第2の導体パターン15, 17が形成され、さらに、積層方向Aに対向する一対の導体膜19, 11\_3からなる第3の導体パターン、一対の導体膜19, 13\_3からなる第3の導体パターン、一対の導体膜20, 11\_5からなる第3の導体パターンの、3つの第3の導体パターンが形成される。

【0018】こうして得られたグリーンの積層体100を大気中で脱バインダ処理し、さらに焼成して焼成積層体を形成し、この焼成積層体に、例えば、Agの導体ペーストなどを用いて、端子電極203, 204(図2参照)、アース電極207, 208(図2参照)、電源供給電極209, 210, 211, 212(図2参照)を形成することにより図2に示すフィルタ200が完成する。次に、本実施形態の積層チップ部品を用いたフィルタの特性例について説明する。図17は、本実施形態の積層チップ部品を用いたフィルタの挿入損失特性を示すグラフである。図17に示すように、本実施形態の積層チップ部品の第2の導体パターンに流す電流をA, B, Cのように変化させることによりカットオフ周波数を変化させることができる。

【0019】

【発明の効果】以上説明したように、本発明の積層チップ部品によれば、磁性体材料を含む材料からなる積層体内部に形成された、積層方向に螺旋を描く第1の導体パターンに、第1の導体パターンの螺旋の内部を通る第2の導体パターンが形成されており、この第2の導体パターンに流れる電流を変化させることにより第1の導体パターンからなるインダクタのインダクタンスを自在に調整することのできる積層チップ部品を実現することができる。さらに、この積層チップ部品内部に積層方向に対向する一対の導体膜からなる第3の導体パターンを形成し、この第3の導体パターンにより形成されるキャパシタと上記インダクタとでフィルタを構成することにより、上記第2の導体パターンに流れる電流を変化させることにより周波数特性を自在に調整することのできるフィルタを実現することができる。

【図面の簡単な説明】

【図1】本発明の積層チップ部品の一実施形態における積層体の内部構造を示す斜視図である。

【図2】図1に示した積層体で構成したフィルタの外観図である。

【図3】図2に示したフィルタの等価回路図である。

【図4】図1に示す積層体の製造工程を示す平面図である。

【図5】図1に示す積層体の製造工程を示す平面図である。

【図6】図1に示す積層体の製造工程を示す平面図である。

【図7】図1に示す積層体の製造工程を示す平面図であ

る。

【図8】図1に示す積層体の製造工程を示す平面図である。

【図9】図1に示す積層体の製造工程を示す平面図である。

【図10】図1に示す積層体の製造工程を示す平面図である。

【図11】図1に示す積層体の製造工程を示す平面図である。

【図12】図1に示す積層体の製造工程を示す平面図である。

【図13】図1に示す積層体の製造工程を示す平面図である。

【図14】図1に示す積層体の製造工程を示す平面図である。

【図15】図1に示す積層体の製造工程を示す平面図である。

【図16】図1に示す積層体の製造工程を示す平面図である。

【図17】本実施形態の積層チップ部品を用いたフィルタの挿入損失特性を示すグラフである。

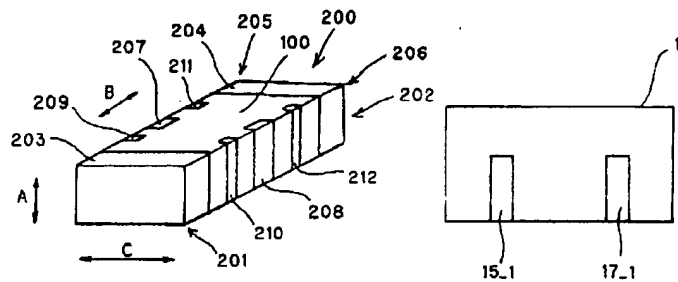
【符号の説明】

1, 2, 3, 4, 5, 6 層  
11, 13, 15, 17 導体パターン  
100 積層体  
11\_2, 11\_3, 11\_4, 11\_5 導体膜  
11\_3a, 13\_3a 一部分  
11\_5a 中央部分  
12\_3, 12\_4, 12\_5 スルーホール  
13\_2, 13\_3, 13\_4 導体膜  
14\_3, 14\_4, 14\_5 スルーホール  
15\_1, 15\_2, . . . , 15\_6 導体膜  
16\_2, 16\_3, . . . , 16\_6 スルーホール  
17\_1, 17\_2, . . . , 17\_6 導体膜  
18\_2, 18\_3, . . . , 18\_6 スルーホール  
19, 20 導体膜  
31 ベース基板  
32, 33, 34, 35, 36, 37 磁性体誘電体混合層  
200 フィルタ  
201, 202 端面  
203, 204 端子電極  
205, 206 側面  
207, 208 アース電極  
209, 210, 211, 212 電源供給電極  
300 フィルタ  
303, 304, 305 キャパシタ  
306 フィルタ回路

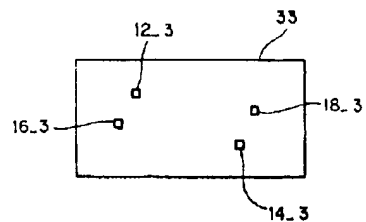
特開平 11-354330

	10
311, 312	アース電極
313, 314	電源供給電極

【例5】

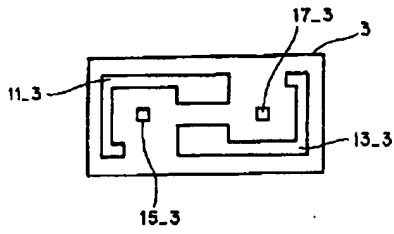


【図8】

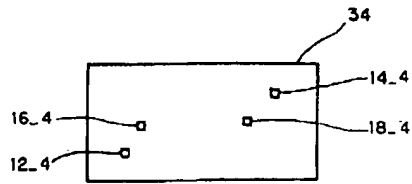


【例 15】

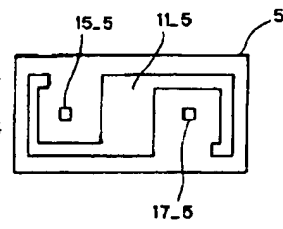
【図9】



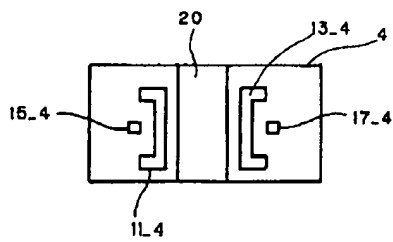
【図10】



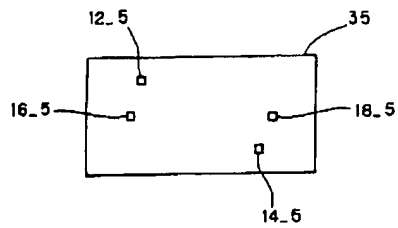
【図13】



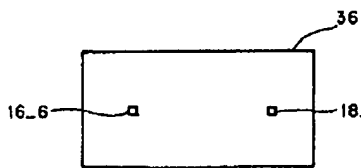
【図11】



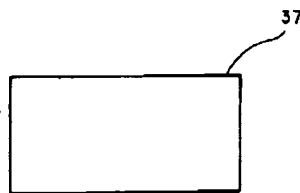
【図12】



【図14】



【図16】



【図17】

